23. Аналого-Цифровой Преобразователь

23.1 Особенности

- **10-битное разрешение**
- **0.5 LSB Суммарная нелинейность**
- **± 2 LSB Абсолютная точность**
- **13 - 260 µs Время преобразования**
- **До 76.9 kSPS (До 15 kSPS при максимальном разрешении)**
- **6 мультиплексированных несимметричных входов**
- **2 дополнительных мультиплексированных несимметричных входов (для TQFP и QFN/MLF корпусов)**
- **Опциональное выравнивание влево для результата преобразования**
- **0 - Vcc Диапазон входных напряжений АЦП**
- **Выбираемое опорное напряжение 1.1V**
- **Режимы непрерывной работы или одиночного преобразования**
- **Прерывание при завершении преобразования**
- **Режим сна для понижения шума при преобразовании**

23.2 Обзор

Особенностью ATmega48/88/168 является 10-ти битный АЦП с последовательным приближением. АЦП подключен к 8-канальному аналоговому мультиплексору, который обеспечивает работу 8-ми несимметричных входов, конструктивно выполненных на выводах порта C. Несимметричный вход организован относительно 0V (GND).

АЦП содержит цепь Измерения и Удержания, которая позволяет поддержать входное напряжение на постоянном уровне во время преобразования. Блок-схема АЦП показана на рис. 23-1 на странице 246.

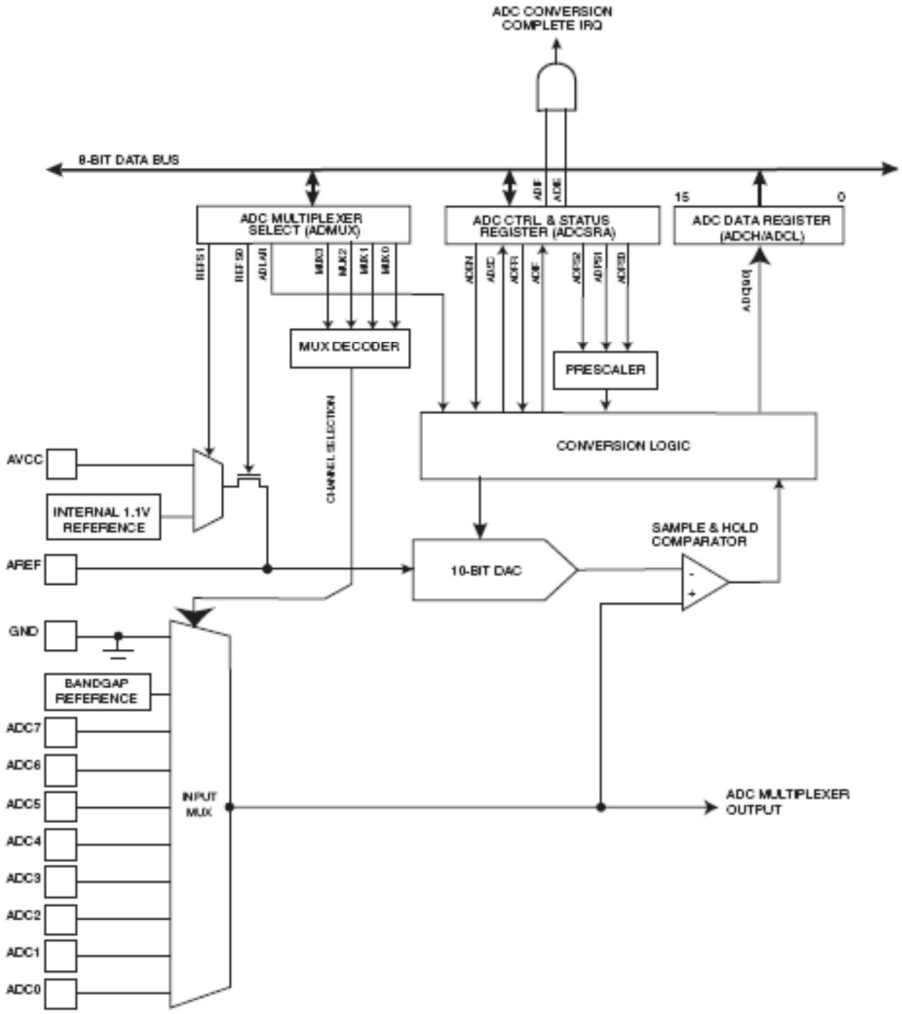
АЦП имеет собственный вывод питания AVcc. Напряжение на выводе AVcc должно отличаться от напряжения питания контроллера не более, чем на ± 0.3В. См. параграф «Понижение шума при преобразовании» на стр. 251 о способе подключения этого вывода.

Опорные напряжения значением в 1.1В или AVcc обеспечиваются внутренними ресурсами контроллера. Опорное напряжение может быть дополнительно отфильтровано путём подключения к выводу AREF конденсатора для лучшей шумовой эффективности.

Для возможности преобразования Бит ADC в PRADC, обеспечивающий понижение потребляемой мощности, см. «Понижение потребляемой мощности» на стр 42, должен быть установлен в нулевое состояние.

АЦП преобразует аналоговое входное напряжение в 10-ти битное цифровое значение путём выполнения алгоритма последовательного приближения. Минимальное значение соответствует GND, максимальное соответствует напряжению на выводе AREF минус 1LSB. При необходимости, вывод AVCC или внутренний источник опорного напряжения 1.1В, могут быть соединены с выводом AREF путём записи битов REFSn в регистре ADMUX. Напряжение внутреннего источника может быть дополнительно отфильтровано путём подключения к выводу AREF конденсатора для лучшей шумовой эффективности.

Рис. 23-1 Аналого-цифровой преобразователь. Структурная схема



Аналоговый входной канал выбирается путём записи битов MUX в регистре ADMUX. Любой из входов АЦП, корпус (GND) или фиксированное опорное напряжение, может быть выбран в качестве несимметричного входа АЦП. Разрешение работы АЦП осуществляется путём записи бита разрешения преобразования ADEN в регистре ADCSRA. Выбор опорного напряжения или переключение каналов не даст никакого эффекта, пока ADEN не установлен. АЦП не потребляет энергии, пока ADEN обнулён, поэтому, рекомендуется выключать АЦП перед входом в режимы пониженного потребления энергии (sleep modes).

Результатом работы АЦП является 10-ти битный результат, который помещается в регистры данных АЦП: ADCH и ADCL. По умолчанию, результат представляется выровненным вправо, но, опционально, может быть и выровненным влево путём установки бита ADLAR в регистре ADMUX.

Если результат выровнен влево и не нужна точность больше, чем 8 бит, то достаточно считывать данные с регистра ADCH. В противном случае, регистр ADCL должен быть считан первым, раньше ADCH. Это гарантирует, что содержимое регистров данных АЦП будут относиться к одному и тому же преобразованию. Как только считывается регистр ADCL – доступ к регистрам данных АЦП блокируется. Это означает, что если ADCL считан, а преобразование завершиться до того, как будет считан ADCH,

данные в регистрах не будут обновлены, и результат преобразования будет потерян. После считывания регистра ADCH, доступ к регистрам данных АЦП возобновляется.

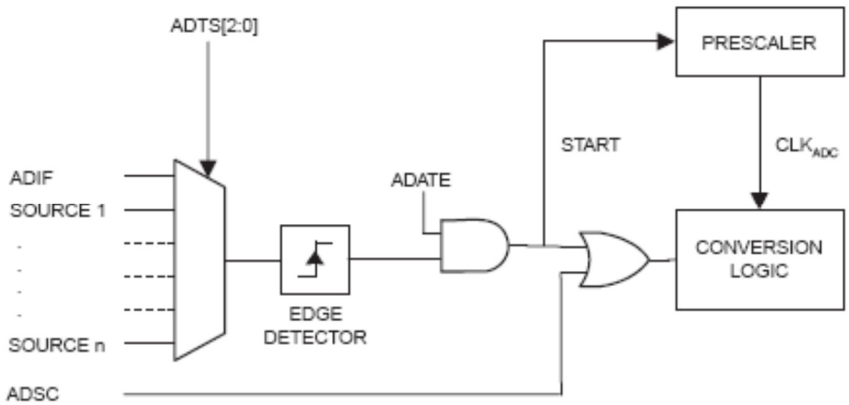
У АЦП имеется своё собственное прерывание, которое возникает после того, как преобразование завершается. Прерывание происходит даже в том случае, когда доступ к регистрам данных АЦП закрыт в промежутке между считыванием регистров ADCH и ADCL. Результат преобразования при этом будет потерян.

23.3 Начало преобразования

Одиночное преобразование можно начать путём сброса бита уменьшения потребления АЦП PRADC, см. «Уменьшение потребляемой мощности» на стр. 42 и установки бита начала преобразования ADSC. Бит ADSC остаётся в единичном состоянии пока происходит преобразование и сбрасывается в нулевое состояние аппаратными средствами по окончанию преобразования. Если во время преобразования выбран другой канал, то АЦП закончит преобразование с текущими установками, канал будет изменён после преобразования.

Как альтернатива, преобразование может быть запущено автоматически различными средствами. Автозапуск разрешается путём установки бита разрешения автозапуска ADATE в регистре ADCSRA. Источник запуска выбирается битами выбора источника ADTS в регистре ADCSRB (см. описание битов ADTS). При появлении фронта сигнала от выбранного источника запуска, сбрасывается пределитель АЦП и начинается преобразование. Этот метод предоставляет возможность производить преобразования в фиксированные интервалы времени. Если сигнал источника ещё находится в единичном состоянии по завершении преобразования – новое преобразование не будет запущено. Если во время преобразования появится другой сигнал запуска, он будет игнорирован.
Следует заметить, что флаг прерывания источника будет установлен, даже если не установлена маска на это прерывание, или, когда бит глобального разрешения прерывания в регистре SREG – сброшен. Таким образом, преобразование может быть запущено без прерывания. Однако следует заметить, что флаг прерывания должен быть сброшен для того, чтобы запустить новое преобразование в следующем цикле.

Рис 23-2 Структурная схема узлов автозапуска АЦП.

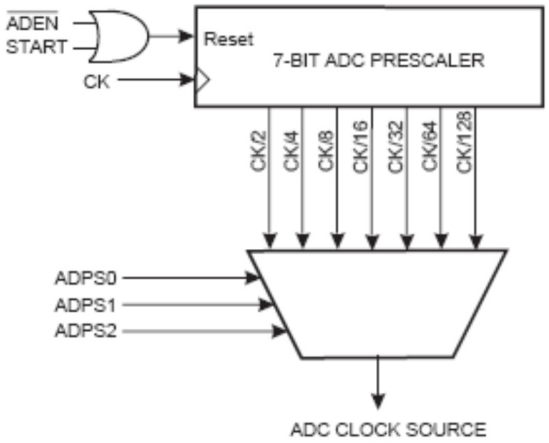


Использование флага прерывания АЦП в качестве источника запуска позволяет начать новое преобразование сразу по окончанию текущего преобразования. При этом АЦП работает в режиме непрерывной работы, постоянно производя дискретизацию и запись регистров данных АЦП. Первое преобразование должно быть запущено путём записи логической единицы в бит ADSC регистра ADCSRA. В этом режиме АЦП производит преобразования в независимости от того очищен ли флаг прерывания АЦП ADIF или нет.

Если автозапуск разрешён, то одиночные преобразования могут быть запущены путём установки бита ADSC в регистре ADCSRA в единичное состояние. Логический уровень бита ADSC также может быть использован для определения состояния АЦП. Во время преобразования чтение бита ADSC возвратит логическую единицу, независимо от того, как это преобразование было запущено.

23.4 Предварительное деление и время преобразования

Рис 23-3 Пределитель АЦП.



По умолчанию, алгоритм последовательного приближения предполагает, что для достижения максимального разрешения, тактовая частота АЦП должна лежать в пределах 50 ÷ 200 кГц. Если достаточно иметь разрешение меньше 10 разрядов, то тактовая частота АЦП может быть больше 200 кГц.

АЦП содержит предварительный делитель, который позволяет получить подходящую тактовую частоту для работы АЦП из любой тактовой частоты контроллера выше 100 кГц. Коэффициент деления предварительного делителя устанавливается битами ADPS в регистре ADCSRA. Предварительный делитель начинает счёт от момента, когда АЦП включается установкой бита ADEN в регистре ADCSRA. Он остаётся в работе, пока установлен бит ADEN, при обнулении бита ADEN – предварительный делитель находится в состоянии постоянного сброса.

При инициировании одиночного преобразования путём установки бита ADSC в регистре ADCSRA, преобразование начинается по следующему же фронту тактового сигнала АЦП.

Нормальное преобразование занимает 13 тактовых циклов АЦП. Первое преобразование, после включения АЦП (установкой бита ADEN в регистре ADCSRA) занимает 25 тактовых циклов АЦП, необходимых для инициализации аналоговых цепей.

Когда в качестве входного сигнала АЦП используется внутренний источник опорного напряжения, необходимо некоторое время для стабилизации напряжения, иначе результат первого преобразования будет неверным.

Фактически выборка и захват входного сигнала происходит за 1,5 тактовых цикла после начала нормального преобразования и 13,5 тактовых циклов АЦП после начала первого преобразования. По окончанию преобразования – результат записывается в регистры данных АЦП и выставляется флаг прерывания ADIF. В режиме одиночного преобразования одновременно с этим сбрасывается бит ADSC. Программно можно снова установить бит ADSC, и новое преобразование начнётся по следующему же фронту тактового сигнала АЦП.

При автозапуске АЦП, предварительный делитель сбрасывается в момент возникновения события запуска. Это обеспечивает формирование фиксированной задержки между событием запуска и началом преобразования. В этом режиме выборка и захват входного сигнала занимает два тактовых

цикла АЦП после появления фронта сигнала от выбранного источника запуска. Три дополнительных тактовых цикла основного тактового генератора процессора используются для синхронизации логики.

В режиме непрерывной работы, пока бит ADSC находится в единичном состоянии, новое преобразование начнётся сразу же после окончания предыдущего преобразования.

Полная информация по временным параметрам преобразования приведена в таб. 23-1 на стр.250.

Рис 23-4 Временная диаграмма АЦП, первое преобразование (режим одиночного преобразования).

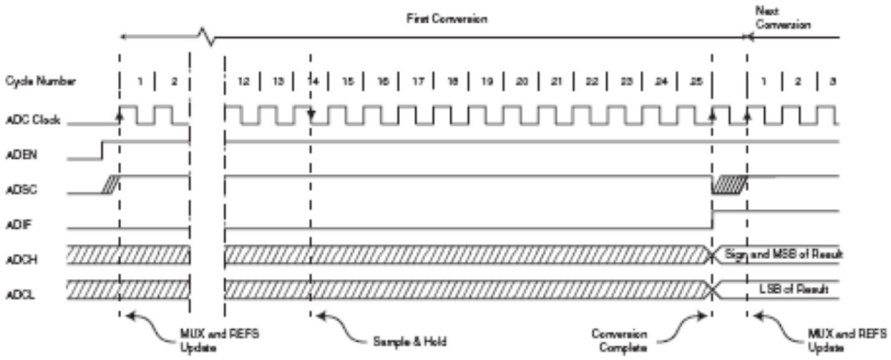


Рис 23-5 Временная диаграмма АЦП, одиночное преобразование.

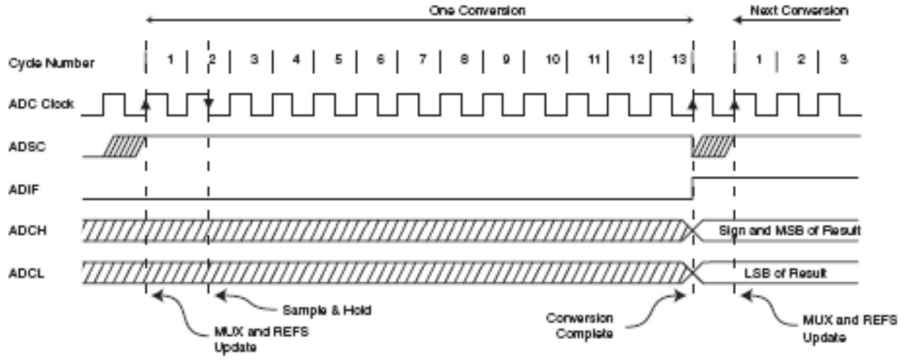


Рис 23-6 Временная диаграмма АЦП, работа с автозапуском.

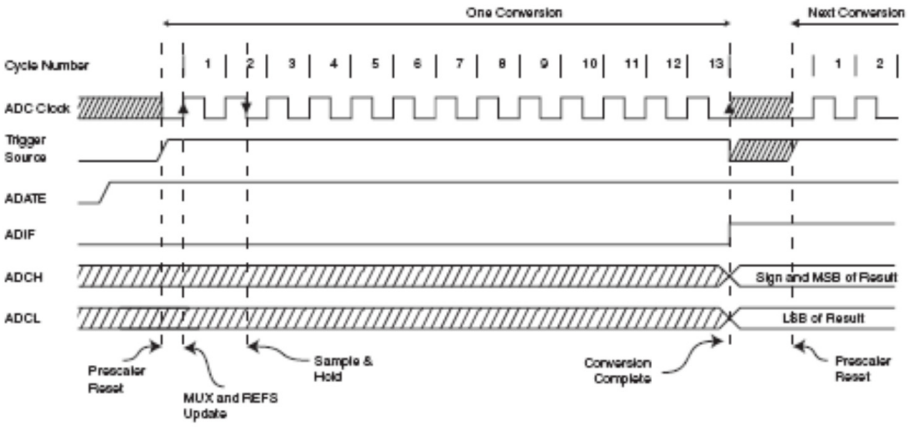


Рис 23-7 Временная диаграмма АЦП, непрерывный режим работы.

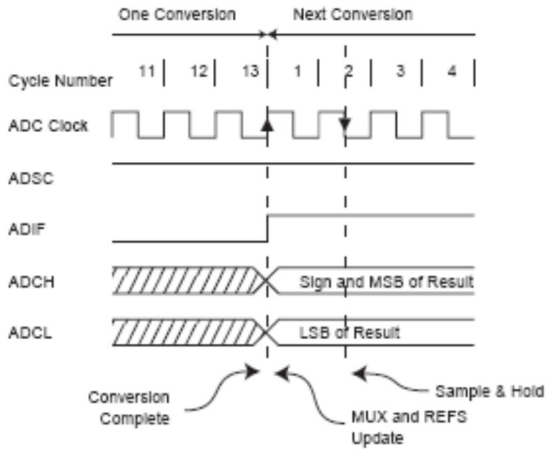


Таблица 23-1. Время преобразования АЦП

Условие	Выборка и захват (циклов с момента начала преобразования)	Длительность преобразования (циклов)
Первое преобразование	13,5	25
Нормальные преобразования, одиночные	1,5	13
Преобразования с автозапуском	2	13,5

23.5 Изменение канала или источника опорного напряжения

Биты MUXn и REFS1:0 в регистре ADMUX буферизированы посредством регистра временного хранения, к которому процессор имеет произвольный доступ. Это гарантирует, что изменение канала или источника опорного напряжения может произойти только в безопасный момент времени во время преобразования. Значение канала и источника опорного напряжения непрерывно обновляются до момента запуска преобразования. Как только запускается преобразование – изменение канала и источника опорного напряжения запрещается с целью обеспечения достаточного времени выборки входного сигнала. Обновление возобновляется во время последнего тактового цикла АЦП перед завершением преобразования (бит ADIF в регистре ADCSRA установлен). Следует обратить внимание, что преобразование наступает при следующем фронте тактового сигнала АЦП, после того как установлен бит ADSC. Поэтому не рекомендуется изменять канал или источник опорного напряжения, после установки бита ADSC до окончания первого тактового цикла АЦП.

Если используется автозапуск преобразования, то точное время события запуска может быть неопределённым. В этом случае изменение значения регистра ADMUX должно производиться с особой осторожностью, для того, чтобы иметь точное представление при каком преобразовании уже будут применены новые установки.

Если оба бита ADATE и ADEN установлены в единичное состояние, то прерывание может произойти в любой момент. Если в это время изменится значение регистра ADMUX, то невозможно будет точно определить, будет ли в новом преобразовании уже применены новые установки или преобразование будет произведено на основании старых установок.

Значение регистра ADMUX может быть безопасно изменено в следующих случаях:
а. Когда биты ADATE и ADEN сброшены;
б. Во время преобразования, по завершению минимум одного цикла АЦП после события запуска;
в. После окончания преобразования, перед сбросом используемого в качестве источника запуска флага прерывания.

В случае изменения регистра ADMUX, согласно вышеперечисленным условиям, новые установки будут использованы уже при следующем преобразовании.

23.5.1 Входные каналы АЦП

Чтобы гарантировать правильность выбора канала, при изменении его активного номера, необходимо следовать следующим рекомендациям:

В режиме одиночного преобразования всегда изменять номер активного канала до начала преобразования. Номер также может быть изменён по окончании первого цикла АЦП после установки бита ADSC. Однако самый простой способ – это дождаться окончания преобразования и произвести необходимые изменения.

В режиме непрерывной работы всегда необходимо изменять номер канала до начала первого преобразования. Номер может быть изменён по окончании первого цикла АЦП после установки бита ADSC. Однако самый простой способ – это дождаться окончания первого преобразования и произвести необходимые изменения. Поскольку следующее преобразование начнётся автоматически, следующий его результат будет соответствовать предыдущему каналу. Последующие преобразования будут производиться уже с новым выбранным каналом.

23.5.2 Опорное напряжение АЦП

Опорное напряжение АЦП (V_{REF}) обуславливает диапазон преобразования. Напряжениям на несимметричных источниках, превышающим V_{REF}, будет соответствовать код 0x3FF. Источником опорного напряжения могут являться: напряжение на выводе AV_{CC}, напряжение внутреннего источника 1,1В либо напряжение на выводе AREF.

Вывод AV_{CC} соединяется с АЦП посредством пассивного коммутатора. Внутренний источник в 1,1В организован в виде высокостабильного генератора постоянного напряжения (V_{BG}), с дополнительным внутренним усилителем. С другой стороны, внешний вывод AREF непосредственно соединён с АЦП, и, соответственно, опорное напряжение может быть сделано менее восприимчивым к шумам путём подключения между выводом AREF и корпусом конденсатора. Опорное напряжение V_{REF} может быть измерено непосредственно на выводе AREF высокоомным вольтметром. Следует иметь в виду, что V_{REF} является высокоомным источником и подразумевает подключение только емкостной нагрузки.

В случае использования источника фиксированного напряжения, присоединённого к выводу AREF, нет необходимости применять в устройстве какие-либо другие опции для опорного напряжения. Но в случае отсутствия внешнего источника, присоединённого к выводу AREF, можно производить выбор между внутренними источниками опорного напряжения AV_{CC} и 1,1В. Результат первого преобразования после переключения источника опорного напряжения может быть некорректным, рекомендуется игнорировать данный результат.

23.6 Снижение шумов АЦП

Особенностью АЦП является система подавления шумов, которая позволяет производить преобразования во время режима сна. Это позволяет понизить уровень шумов от ядра процессора и других узлов ввода/вывода. Система подавления шумов АЦП может быть использована с следующими режимами сна: ADC Noise Reduction и Idle. Для использования этой особенности, должна быть выполнена следующая последовательность:

а. Убедиться, что работа АЦП разрешена, и не проходит преобразование. Выбрать режим одиночного преобразования, установить разрешение на прерывание окончания преобразования АЦП;

б. Введите контроллер в один из режимов сна: ADC Noise Reduction или Idle. Преобразование начнётся автоматически после остановки ядра;

в. Если не произойдёт других прерываний до завершения преобразования, то прерывание по окончанию преобразования АЦП выведет контроллер из режима сна. При этом управление перейдёт на подпрограмму обработки данного прерывания. В том случае, если другое прерывание выведет контроллер из режима сна ещё до окончания преобразования, то оно будет обработано. При этом позже, по окончанию преобразования будет обработано прерывание окончания преобразования АЦП. Контроллер останется в активном режиме, пока не поступит новая команда перевода в режим сна. Следует помнить, что АЦП автоматически не выключается при входе в другие режимы сна (отличные от ADC Noise Reduction или Idle). Для снижения энергопотребления в этих других режимах сна, рекомендуется выключать АЦП путём сброса бита ADEN в нулевое состояние.

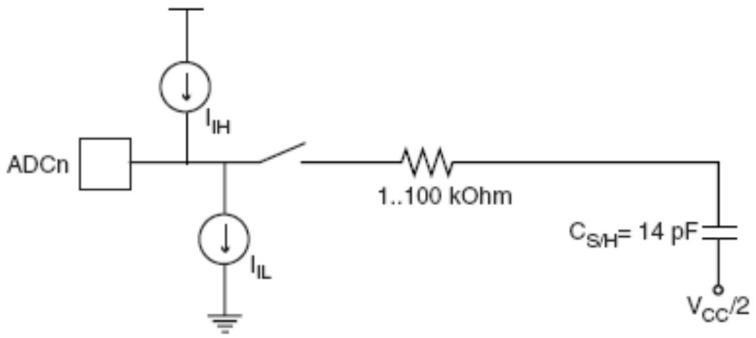
23.6.1 Аналоговая входная цепь

Схема замещения аналоговой несимметричной входной цепи приведена на Рис. 23-8. Аналоговый источник, подключенный к ADCn, подвержен влиянию ёмкости вывода, входной утечки на этом выводе, независимо от того, выбран ли этот канал в качестве входа АЦП. В том случае, если канал выбран, источник, помимо этого, должен управлять зарядом S/H конденсатора через резистивную цепь (суммарное входное сопротивление).

АЦП оптимизирован для аналоговых источников с выходным сопротивлением около 10 кОм или меньше. При использовании таких источников, время выборки будет незначительным. При использовании источников с более высоким выходным сопротивлением, время выборки будет зависеть от того, как долго источник будет заряжать S/H конденсатор. Это время может меняться в широких пределах. Рекомендуется использовать низкоомные источники с медленно изменяющимися сигналами, поскольку это минимизирует изменение заряда S/H конденсатора.

Сигналы с частотой больше частоты Найквиста ($f_{ацп}/2$) не должны присутствовать ни на одном их каналов для предотвращения непредсказуемых искажений. Рекомендуется отфильтровывать высокие частоты фильтром низких частот до подачи сигнала на вход АЦП.

Рис 23-8 Аналоговая входная цепь.



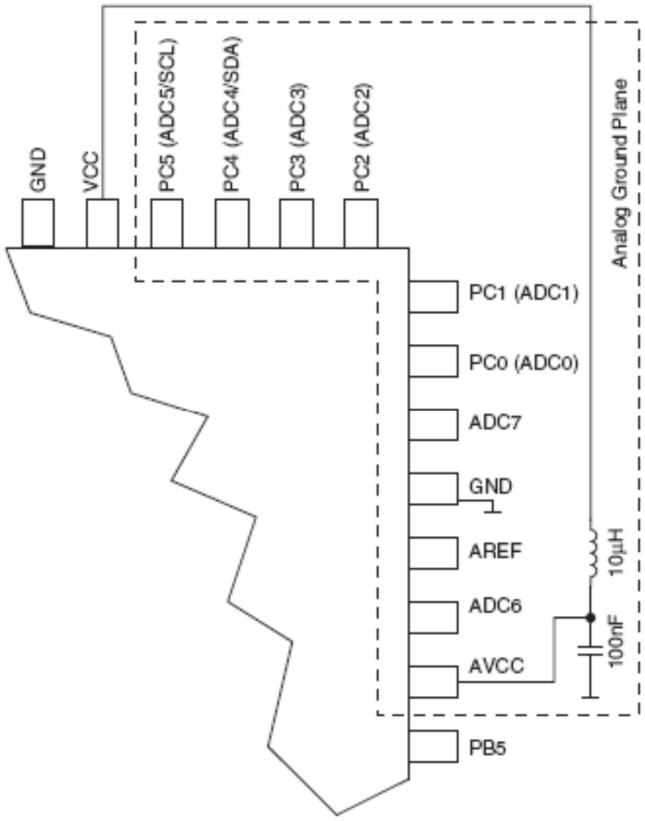
23.6.2 Методы подавления аналоговых шумов.

Цифровые цепи внутри и снаружи контроллера производят электромагнитное излучение, которое может повлиять на точность аналоговых измерений. Если требуется высокая точность измерений, то необходимо следовать следующим рекомендациям:

а. Длина сигнальных цепей, по которым распространяются аналоговые сигналы, должна быть как можно короче. Аналоговые цепи необходимо прокладывать вблизи аналоговой земляной шины вдали от высокоскоростных цифровых цепей;
б. Вывод питания АЦП (AVcc) должен быть подключен к выводу питания контроллера (Vcc) посредством LC цепи, как показано на рис. 23-9;
в. Использовать функцию снижения шумов АЦП, для снижения наводок от цифровых цепей контроллера;
г. Если любой из выводов [3..0] порта с входами АЦП используются как цифровые выходы, очень важно не переключать их состояние во время преобразования. Однако, использование 2-х проводного интерфейса (ADC4 и ADC5)

повлияет только на преобразование на входах ADC4 и ADC5, и не будет влиять на другие каналы АЦП.

Рис 23-9 Подключение цепей питания АЦП.



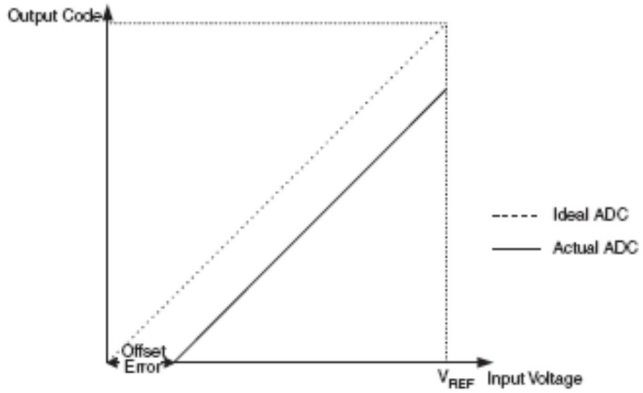
23.6.3 Точность АЦП

При n-битном одиночном аналого-цифровом преобразовании входное напряжение от GND до V_{REF} линейно преобразуется в код с конечным количеством точек 2^n. Минимальное значение кода составляет 0, максимальное - (2^n-1), что для 10-ти разрядного АЦП: 1023.

Следующие параметры описывают погрешности преобразования:

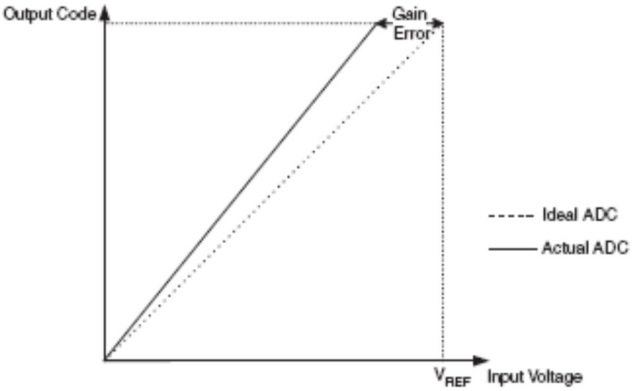
- Смещение: отклонение первого перехода (от 0x000 до 0x001) в сравнении с идеальным переходом (около 0.5 LSB). Идеальное значение: 0 LSB.

Рис 23-10 Погрешность смещения.



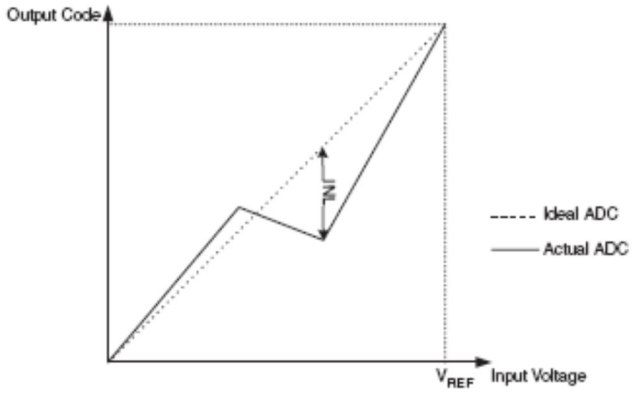
• Погрешность усиления: без учёта смещения, погрешность усиления находится как отклонение последнего перехода (от 0x3FE до 0x3FF) в сравнении с идеальным переходом (около 1,5 LSB). Идеальное значение: 0 LSB.

Рис 23-11 Погрешность усиления



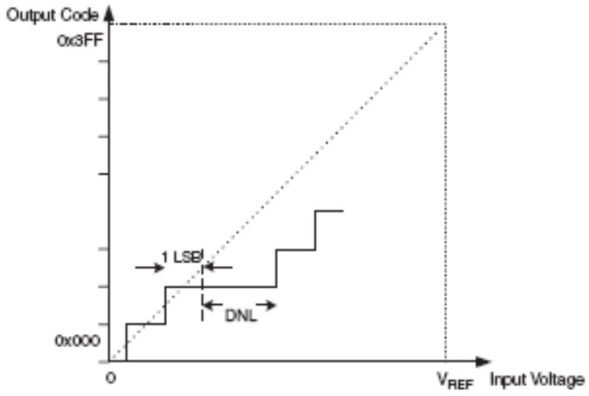
• Суммарная нелинейность (CH): без учёта смешения и ошибки усиления, CH – это максимальное отклонение значения реального преобразования, по сравнению со значением идеального преобразования для любого значения кода. Идеальное значение: 0 LSB.

Рис 23-12 Суммарная нелинейность.



- Дифференциальная нелинейность: значение максимального отклонения (разница между двумя смежными преобразованиями) от идеального значения отклонения (1 LSB). Идеальное значение: 0 LSB.

Рис 23-13 Дифференциальная нелинейность.



- Ошибка квантования: при преобразовании входного напряжения в код, изменение входного напряжения (шириной в 1 LSB) может приводить к одному и тому же результату кодирования. Значение ошибки: всегда ±0.5 LSB.

- Абсолютная точность: максимальное отклонение реального преобразования в сравнении с идеальным преобразованием для любого значения кода. Это суммарный эффект от погрешности смещения, погрешности усиления, дифференциальной погрешности, нелинейности и погрешности квантования. Идеальное значение: ±0.5 LSB.

23.7 Результат преобразования.

После завершения преобразования (установлен флаг ADIF), результат помещается в регистровую пару – регистр данных АЦП (ADCL, ADCH).
Для одиночного преобразования результат рассчитывается по следующей формуле:

$$ADC = \frac{V_{IN} * 1024}{V_{REF}},$$

Где: V_{IN} – напряжение на выбранном входе АЦП;
V_{REF} – значение источника опорного напряжения (см. таб. 23-2 на стр. 256 и таб 23-3 на стр. 257).

Значение 0x000 определяет собой аналоговую землю, а значение 0x3ff – значение выбранного источника опорного напряжения минус один LSB.

23.8 Описание регистров.

23.8.1 ADMUX – Регистр управления мультиплексором АЦП

Bit	7	6	5	4	3	2	1	0	
(0x7C)	REFS1	REFS0	ADLAR	–	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Биты 7:6 – REFS1:0: Биты выбора источника опорного напряжения;**
  Данные биты позволяют выбрать источник опорного напряжения АЦП, как показано в таб. 23-2. Если эти биты будут изменены во время преобразования, изменение не будет иметь эффект до завершения преобразования (пока не установлен бит ADIF в ADCSRA). При наличии опорного напряжения на выводе AREF – внутренний источник опорного напряжения может не использоваться.

Таблица 23-2. Выбор источника опорного напряжения

REFS1	REFS0	Источник опорного напряжения
0	0	Источник напряжения на выводе AREF, внутренний источник отключен.
0	1	Напряжение питания АЦП (AV_{CC}) с внешним конденсатором на выводе AREF.
1	0	Зарезервировано
1	1	Внутренний источник 1,1 Вольт с внешним конденсатором на выводе AREF.

- **Бит 5 – ADLAR: Выравнивание результата преобразования влево;**
  Бит ADLAR определяет способ записи результата преобразования в регистр данных АЦП. При установке бита – результат выравнивается влево, при сбросе – вправо. Изменение состояния бита изменяет способ выравнивания немедленно, независимо от проводимых преобразований. Для полного описания бита см. Регистр данных АЦП на стр. 259.

- **Бит 4 – Res: Зарезервированный бит**
  Этот бит не используется в контроллерах ATmega48/88/168, всегда равен нулю.

- **Биты 3:0 – MUX3:0: Биты выбора аналогового канала**

Значение этих бит определяет какой из аналоговых входов подключен к АЦП. Для получения подробной информации см. таб. 23-3. Если эти биты будут изменены во время преобразования, изменение не будет иметь эффект до завершения преобразования (пока не установлен бит ADIF в ADCSRA).

Таблица 23-3. Выбор канала для преобразования

MUX3:0	Несимметричный вход
0000	ADC0
0001	ADC1
0010	ADC2
0011	ADC3
0100	ADC4
0101	ADC5
0110	ADC6
0111	ADC7
1000	(зарезервировано)
1001	(зарезервировано)
1010	(зарезервировано)
1011	(зарезервировано)
1100	(зарезервировано)
1101	(зарезервировано)
1110	1,1 В (V_{BG})
1111	0 В (GND)

23.8.2 ADCSRA – Регистр А управления и статуса АЦП.

Bit	7	6	5	4	3	2	1	0	
(0x7C)	REFS1	REFS0	ADLAR	–	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Бит 7 – ADEN: Разрешение работы АЦП;**
  Установка данного бита разрешает работу АЦП. Сброс бита – запрещает работу АЦП. Запрет работы АЦП во время преобразования ведёт к прекращению этого преобразования.

- **Бит 6 – ADSC: Начало преобразования;**
  В режиме одиночного преобразования необходима установка этого бита для начала каждого нового преобразования. В случае непрерывного режима работы – необходимо установить этот бит для начала первого преобразования. Первое преобразование, в случае, если бит ADSC был установлен после разрешения работы АЦП, или если бит ADSC был установлен одновременно с разрешением работы АЦП, займёт 25 тактов источника тактирования АЦП, вместо нормальных 13. При первом преобразовании производится инициализация АЦП.

  Результатом чтения бита ADSC во время преобразования будет логическая единица. По окончанию преобразования – логический нуль. Запись логического нуля в этот бит, не приведёт ни к какому эффекту.

- **Бит 5 – ADATE: Разрешение автозапуска АЦП;**
  Когда данный бит установлен, разрешён автозапуск АЦП. Преобразование будет начинаться по фронту сигнала выбранного источника запуска. Источник запуска выбирается установкой битов выбора источника запуска ADTS в регистре ADCSRB.

- **Бит 4 – ADSC: Флаг прерывания АЦП;**
  Данный бит устанавливается после завершения преобразования и помещения результата в регистр данных АЦП. Прерывание возникнет, если установлен бит ADIE и бит I в регистре SREG. Флаг ADIF сбрасывается аппаратно после выхода из процедуры обработки прерывания. Альтернативно флаг может быть очищен путём записи в него логической единицы. Необходимо помнить, что если выполняется последовательность Чтение-Изменение-запись регистра ADCSRA, то следующее ожидаемое прерывание может быть запрещено. Также предполагается, что будут использованы инструкции SBI и CBI.

- **Бит 3 – ADIE: Разрешение прерывания по АЦП;**
  Когда данный бит установлен, и бит I в SREG также установлен, то активируется прерывание по окончанию преобразования АЦП.

- **Биты 2:0 – ADPS2:0: Выбор пределителя источника тактирования АЦП;**
  Данные биты определяют коэффициент деления между частотой тактового генератора ЦП и входной частотой тактирования АЦП.

Таблица 23-4. Выбор пределителя источника тактирования АЦП.

ADPS2	ADPS1	ADPS0	Коэффициент деления
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

23.8.3 ADCL и ADCH – регистр данных АЦП.

23.8.3.1 ADLAR=0

Bit	15	14	13	12	11	10	9	8	
(0x79)	–	–	–	–	–	–	ADC9	ADC8	ADCH
(0x78)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

23.8.3.2 ADLAR=1

Bit	15	14	13	12	11	10	9	8	
(0x79)	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
(0x78)	ADC1	ADC0	–	–	–	–	–	–	ADCL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R	R	R	R	
	R	R	R	R	R	R	R	R	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

По окончанию преобразования результат помещается в данные два регистра. После того, как считаны данные с регистра ADCL, регистр данных АЦП не будет обновляться, пока не будут считаны данные с регистра ADCH. Как следствие: если результат преобразования ориентирован влево, то достаточно считать регистр ADCH. В противном случае, ADCL должен быть прочитан в первую очередь, а после него – ADCH.
Состояние бита ADLAR в регистре ADMUX и битов MUXn в регистре ADMUX влияют на результат чтения из регистра данных. Если ADLAR установлен, то результат выровнен влево, если ADLAR сброшен (состояние по умолчанию), то результат выровнен вправо.

- **Биты ADC9:0: Результат преобразования.**
  Данные биты представляют результат преобразования, о чём подробно описано в пункте «Результат преобразования» на стр. 256.

23.8.4 ADCSRB – Регистр B управления и статуса АЦП.

Bit	7	6	5	4	3	2	1	0	
(0x7B)	–	ACME	–	–	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Биты 7, 5:3 – Res: Зарезервированные биты**
  Эти биты зарезервированы для будущего использования. Для совместимости с будущими устройствами эти биты должны быть сброшены при записи ADCSRB.

- **Биты 2:0 – ADTS2:0: Источник автозапуска АЦП.**
  Если бит ADATE в ADCSRA установлен, то состояние этих битов выбирает источник запуска преобразования. Если ADATE сброшен, то состояние этих бит не будет иметь эффекта. Преобразование будет запущено фронтом выбранного флага прерывания. Необходимо иметь ввиду, что переключение от источника, который сброшен к источнику, который установлен,

приведёт к формированию фронта сигнала запуска. Если ADEN в ADCSRA установлен, то это приведёт к началу преобразования.

Переключение в режим непрерывной работы (ADTS[2:0]=0) не вызовет события запуска, даже, если флаг прерывания по окончанию преобразования установлен.

Таблица 23-5. Выбор пределителя источника запуска АЦП.

ADTS2	ADTS1	ADTS0	Источник запуска
0	0	0	Режим непрерывной работы
0	0	1	Аналоговый компаратор
0	1	0	Внешнее прерывание по входу INT0 (External Interrupt Request 0)
0	1	1	Таймер/счётчик0 – прерывание по совпадению A (Timer/Counter0 Compare Match A)
1	0	0	Таймер/счётчик0 – прерывание по переполнению
1	0	1	Таймер/счётчик1 – прерывание по совпадению B (Timer/Counter1 Compare Match B)
1	1	0	Таймер/счётчик1 – прерывание по переполнению
1	1	1	Таймер/счётчик1 – событие захвата (Timer/Counter1 Capture Event)

23.8.5 DIDR0 – Регистр 0 запрета цифрового ввода.

Bit	7	6	5	4	3	2	1	0	
(0x7E)	–	–	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Биты 7:6 – Res: Зарезервированные биты**
  Эти биты зарезервированы для будущего использования. Для совместимости с будущими устройствами эти биты должны быть сброшены при записи регистра DIDR.

- **Bit 5:0 – ADC5D..ADC0D: ADC5..0 Запрет цифрового ввода.**
  Когда данные биты установлены, то цифровые входные буферы на соответствующих выводах АЦП отключаются. Результатом чтения соответствующих битов регистра PIN всегда будет логический нуль. Если предполагается использовать вывода ADC5…0, как аналоговые входы, то, соответственно, можно исключить возможность ввода цифровых данных на соответствующих выводах для снижения энергопотребления микроконтроллера.
  Следует помнить, что входы ADC7 и ADC6 не имеют цифровых входных буферов, что исключает наличие битов запрета цифрового ввода для этих входов.